

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月12日

出願番号

Application Number:

特願2002-234463

[ST.10/C]:

[JP2002-234463]

出願人

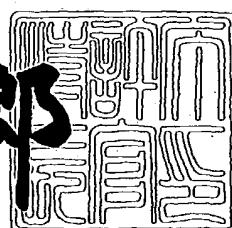
Applicant(s):

富士通株式会社

2003年 2月14日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3007241

【書類名】 特許願

【整理番号】 0240254

【提出日】 平成14年 8月12日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/04

【発明の名称】 ト ラ ッ プ 層 を 有 す る 不 撃 発 性 メ モ リ

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 高橋 聰

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 山下 実

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【選任した代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒徳

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【ブルーフの要否】 要

【書類名】

明細書

【発明の名称】トラップ層を有する不揮発性メモリ

【特許請求の範囲】

【請求項1】不揮発性メモリにおいて、

第1及び第2のソース・ドレイン領域と、コントロールゲートと、前記第1及び第2のソース・ドレイン領域間のチャネル領域と前記コントロールゲートとの間に設けられた絶縁性のトラップ層とを有するメモリセルを複数有し、

前記トラップ層が、前記第1のソース・ドレイン領域に近接する領域であって、トラップされる電荷の有無によりデータを記憶する使用ビット領域と、前記第2のソース・ドレイン領域に近接する領域であって、データ保持状態で電荷がトラップされている不使用ビット領域とを有することを特徴とする不揮発性メモリ

【請求項2】請求項1において、

前記使用ビット領域を消去状態にする消去動作モードが完了した時点で、または前記使用ビット領域への書き込み動作以前までに、前記不使用ビット領域が電荷がトラップされた状態になっていることを特徴とする不揮発性メモリ。

【請求項3】請求項2において、

前記消去動作モードで、前記不使用ビット領域と前記使用ビット領域の両方に電荷がトラップされた状態にし、次いで、複数のメモリセルに対して、前記使用ビット領域を消去状態にすることを特徴とする不揮発性メモリ。

【請求項4】請求項2において、

前記消去動作モードで、前記不使用ビット領域と使用ビット領域の両方に電荷がトラップされた状態にし、次いで、複数のメモリセルに対して、両ビット領域を消去状態にし、更に、前記不使用ビット領域を電荷がトラップされた状態にすることを特徴とする不揮発性メモリ。

【請求項5】請求項2において、

前記消去動作モードで、前記不使用ビット領域と使用ビット領域の両方に電荷がトラップされた状態にし、次いで、複数のメモリセルに対して、両ビット領域を消去状態にし、

書き込み動作モードで、前記不使用ビット領域を電荷がトラップされた状態にすることを特徴とする不揮発性メモリ。

【請求項6】不揮発性メモリにおいて、

第1及び第2のソース・ドレイン領域と、コントロールゲートと、前記第1及び第2のソース・ドレイン領域間のチャネル領域と前記コントロールゲートとの間に絶縁性のトラップ層とを有するメモリセルを複数有し、

前記トラップ層が、前記第1又は第2のソース・ドレイン領域の一方に近接する領域であって、トラップされる電荷の有無によりデータを記憶する使用ビット領域と、前記第1又は第2のソース・ドレイン領域の他方に近接する領域であって、データの記憶に使用されない不使用ビット領域とを有し、

前記トラップ層の使用ビット領域と不使用ビット領域とが、所定回数の書き換えのたびに入れ替えられることを特徴とする不揮発性メモリ。

【請求項7】請求項6において、

更に、前記トラップ層のどちらの領域が前記使用ビット領域かを記憶する使用ビット判定メモリを有し、

前記使用ビット領域と不使用ビット領域とを入れ替えた時は、前記使用ビット判定メモリのデータが反転されることを特徴とする不揮発性メモリ。

【請求項8】請求項7において、

消去動作モードにおいて、少なくとも前記不使用ビット領域が消去状態にされ、前記使用ビット判定メモリのデータが書き換えられることを特徴とする不揮発性メモリ。

【請求項9】請求項7において、

前記消去動作モード、書き込み動作モード、読み出し動作モードの少なくともいずれかのモードにおいて、前記使用ビット判定メモリのデータに応じて、使用ビット領域が判定されることを特徴とする不揮発性メモリ。

【請求項10】請求項6において、

消去動作モードにおいて、前記使用ビット領域と不使用ビット領域とに電荷がトラップされた状態から、複数のメモリセルに対して、新たな使用ビット領域が消去され、新たな不使用ビット領域は電荷がトラップされた状態のままにされる

ことを特徴とする不揮発性メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電荷をトラップするトラップ層を有する不揮発性メモリに関し、特に、各種の特性が改善された不揮発性メモリに関する。

【0002】

【従来の技術】

半導体不揮発性メモリの一つであるフラッシュメモリには、コントロールゲートと半導体基板との間に酸化膜に囲まれた導電性のフローティングゲートを有するタイプと、コントロールゲートと半導体基板との間が酸化膜、窒化膜、酸化膜で構成され、その絶縁膜である窒化膜をトラップ層とするタイプとがある。上記2つのタイプのうち、後者は、絶縁膜からなるトラップ層（またはトラップゲート）に電荷をトラップさせてセルトランジスタの閾値を変化させ、データ0と1を記憶する。トラップ層は絶縁性であるため、トラップ層内で電荷は移動することができない。従って、トラップ層の両端にそれぞれ電荷を蓄積することができ、2ビット情報を記憶することができる。

【0003】

図1は、トラップ層を有する不揮発性メモリセルの断面図である。P型の半導体基板SUBの表面にN型の第1及び第2のソース・ドレイン領域SD1,SD2とが設けられ、それらにより挟まれるチャネル領域上に、シリコン酸化膜OX1、シリコン窒化膜TRP、シリコン酸化膜OX2、及び導電性のコントロールゲートCGが順に形成される。シリコン窒化膜TRPはトラップ層として、その両端の黒丸で示した領域にそれぞれ電荷を蓄積することができる。第1及び第2のソース・ドレイン領域SD1,SD2は、ある動作では一方がソース、他方がドレインとして動作し、別の動作では一方がドレイン、他方がソースとして動作する。

【0004】

図2は、トラップ層を有する不揮発性メモリセルの動作を示す図である。書き込み動作では、コントロールゲートに例えば9V、第1のソース・ドレインSD1

に例えば5V、第2のソース・ドレインSD2と基板に例えば0Vをそれぞれ印加し、チャネル内に発生するホットエレクトロンをトラップ層にトラップさせる。このチャネルホットエレクトロン注入により、トラップ層の右端に電子が注入される。また、消去動作では、コントロールゲートに例えば-6V、第1のソース・ドレインSD1に例えば6Vをそれぞれ印加し、第2のソース・ドレインSD2をフローティング状態にして、第1のソース・ドレインSD1から基板内に流れるバンド間トンネル電流で発生するホールをトラップ層に注入させる。これにより、トラップ層内にトラップされていた電子と中和され、トラップ層内に電子はなくなる。消去動作では第1及び第2のソース・ドレインを同じ電位(6V)にしても良い。この場合は、両側からの発生するホールがトラップ層に注入される。

【0005】

読み出し動作では、第1及び第2のソース・ドレイン間に書き込み動作と逆方向の電圧を印加する。いわゆるリバースリードである。例えば、第1のソース・ドレインSD1には例えば0Vを、第2のソース・ドレインSD2には例えば1.5Vをそれぞれ印加し、更に、コントロールゲートに例えば5Vを印加する。この時、トラップ層の右端に電子がトラップされている場合は、チャネルが形成されずドレイン電流は流れないが、電子がトラップされていない場合は、チャネルが形成されてドレイン電流が流れる。これにより、データを読み出すことができる。

【0006】

トラップ層の左端に電子を蓄積する場合は、図2の第1及び第2のソース・ドレインSD1,SD2の関係は逆になる。

【0007】

このように絶縁性のトラップ層を有する不揮発性メモリは、セルに2ビットのデータを蓄積することができ、多ビットメモリセルとして期待される。一方で、絶縁性トラップ層を有するセル構造は、導電性のフローティングゲートを有するセル構造に比較して、製造プロセスが簡単になるというメリットを有する。

【0008】

そこで、絶縁性トラップ層を有する不揮発性メモリにおいて、トラップ層の一

端のみを電子の蓄積領域として利用して、1ビット記憶のメモリセルとして使用することが提案されている。

【0009】

この提案では、トラップ層の片側のみをデータ蓄積領域に利用し、トラップ層の反対側は常に消去状態に保つようとする。メモリとして不使用の反対側領域に電子が注入されると、セルトランジスタの閾値電圧が高くなり、メモリとして使用する側のデータ読み出し時の読み出し電圧が高くなる問題があるからである。更に、不使用の反対側領域に電子を注入するためには、そのための書き込み（プログラム）動作が必要になり、データの書き換えが複雑になることも問題である。

【0010】

図3は、上記提案の従来のメモリの消去動作のフローチャート図である。図3には、フローチャートに加えて、各ステップでのセルトランジスタの電子のトラップ状態が黒丸で示される。ここではトラップ層の右端がメモリとして使用されるビットであり、左端は不使用ビットである。

【0011】

消去開始時点S1では、トラップ層の右端に電子がトラップされない状態か若しくはトラップされている状態である。そこで、消去動作では、最初に消去前書き込み工程が行われる（S2）。これにより、トラップ層の両端に電子が注入される。そして、図2に示した消去工程S3が行われ、トラップ層の両端にホールが注入され、使用ビット側と不使用ビット側の両方が消去状態になる。そして、その後の書き込み動作により、使用ビット側に電子が注入される。

【0012】

このように、従来の1ビット記憶タイプのトラップ層を有する不揮発性メモリでは、不使用ビット側は常に消去状態に保たれ、一連の消去動作を終了した時点でも、不使用ビット側は消去状態にされる。

【0013】

【発明が解決しようとする課題】

しかしながら、本発明によれば、トラップ層を有する不揮発性メモリセルを

1ビット記憶として使用する場合、次の課題があることが判明した。図4は、書き込み時間と閾値電圧Vthとの関係を示す図である。トラップ層に電荷を蓄えてデータを記憶する不揮発性メモリでは、使用ビットの閾値電圧は反対側の不使用ビットの閾値電圧の影響を少なからず受ける。従って、反対側の不使用ビットに電子がトラップされている場合（書き込み状態）とトラップされていない場合（消去状態）では、使用ビットの閾値電圧は異なる。つまり、反対側の不使用ビットが書き込み状態のほうが、その閾値電圧は高くなる。

【0014】

それに伴い、使用ビットの書き込み時間も影響を受ける。図4に示されるとおり、書き込み開始時点で反対側ビットが書き込み状態WRの閾値電圧が消去状態ERよりも高く、それに伴い、所定の閾値電圧Vt1に達する時間も、反対側ビットが書き込み状態WRのほうが消去状態ERよりも早くなる。従って、反対側ビットが書き込み状態であれば、使用ビットの書き込み時間を短くすることができる。

【0015】

図5は、データ保持時間と閾値電圧Vthとの関係を示す図である。この図では、書き込み直後であるデータ保持時間がゼロの時は、所定の閾値電圧Vt1であったものが、データ保持時間が長くなると、反対側ビットが消去状態ERの場合は、その閾値電圧の低下が大きく、反対側ビットが書き込み状態WRの場合は、その閾値電圧の低下が少ないことが示される。これは、反対側ビットにも電子が蓄積されている場合は、使用ビットに蓄積された電子が抜けて使用ビット側の閾値電圧が低下する割合が、反対側ビットに電子が蓄積されていない場合に比較して、小さいことを意味する。

【0016】

更に、図6は、書き換え回数とチャージロス量の関係を示す図である。この図は、書き換え回数が増加するに伴い、トラップ層内のチャージ（電子）が減少する量が増加することを示している。これは、書き換え回数の増加に伴い第1の酸化膜OX1（図1参照）への電界ストレス印加回数が増加して、劣化することが原因である。

【0017】

そこで、本発明の目的は、1ビット記憶を行うトラップ層を有する不揮発性メモリにおいて、書き込み時間を短くし、或いはデータ保持特性を改善したメモリを提供することにある。

【0018】

更に、本発明の別の目的は、1ビット記憶を行うトラップ層を有する不揮発性メモリにおいて、書き換え回数に依存するチャージロス量を抑えることができるメモリを提供することにある。

【0019】

【課題を解決するための手段】

上記の目的を達成するために、本発明の第1の側面は、第1及び第2のソース・ドレイン領域と、コントロールゲートと、第1及び第2のソース・ドレイン領域間のチャネル領域とコントロールゲートとの間に設けられた絶縁性のトラップ層とを有するメモリセルを複数有する不揮発性メモリにおいて、トラップ層が、第1のソース・ドレイン領域に近接する領域であって、トラップされる電荷の有無によりデータを記憶する使用ビット領域と、第2のソース・ドレイン領域に近接する領域であって、データ保持状態で電荷がトラップされる不使用ビット領域とを有することを特徴とする。好ましくは、消去動作完了状態では、不使用ビット領域が電荷がトラップされた状態にされる。

【0020】

上記の発明の側面によれば、消去動作完了状態では、不使用ビット領域に電荷がトラップされている。従って、その後の使用ビット領域への書き込み動作では、書き込み時間が短くなる。更に、書き込み後のデータ保持状態でも、常に不使用ビット領域に電荷がトラップされているので、使用ビット領域に電荷がトラップされた時の閾値電圧の低下の程度を抑えることができる。

【0021】

上記の目的を達成するために、本発明の第2の側面は、第1及び第2のソース・ドレイン領域と、コントロールゲートと、第1及び第2のソース・ドレイン領域間のチャネル領域とコントロールゲートとの間に設けられた絶縁性のトラップ

層とを有するメモリセルを複数有する不揮発性メモリにおいて、トラップ層が、第1のソース・ドレイン領域に近接する領域であって、トラップされる電荷の有無によりデータを記憶する使用ビット領域と、第2のソース・ドレイン領域に近接する領域であって、前記使用ビット領域への書き込み動作以前までに電荷がトラップされる不使用ビット領域とを有することを特徴とする。

【0022】

上記第2の側面において、より好ましい実施例では、使用ビット領域に書き込みが行われる時に、同じトラップ層の不使用ビット領域にも書き込みが行われる。従って、使用ビット領域に電荷がトラップされた時のデータ保持特性を上げることができ、且つ、不使用ビット領域への書き込み動作を使用ビット領域が書き込まれるメモリセルに限定することで、不使用ビット領域への書き込み工程を減らすことができる。この場合、不使用ビット領域に書き込みを行った後にその使用ビット領域に書き込みを行えば、書き込み特性も改善される。

【0023】

上記の目的を達成するために、本発明の第3の側面は、第1及び第2のソース・ドレイン領域と、コントロールゲートと、第1及び第2のソース・ドレイン領域間のチャネル領域とコントロールゲートとの間に絶縁性のトラップ層とを有するメモリセルを複数有する不揮発性メモリにおいて、トラップ層が、第1又は第2のソース・ドレイン領域の一方に近接する領域であって、トラップされる電荷の有無によりデータを記憶する使用ビット領域と、第1又は第2のソース・ドレイン領域の他方に近接する領域であって、データの記憶に使用されない不使用ビット領域とを有し、トラップ層の使用ビット領域と不使用ビット領域とが、所定回数の書き換えのたびに入れ替えられることを特徴とする。

【0024】

上記の発明の側面によれば、トラップ層の第1及び第2のソース・ドレイン領域にそれぞれ近接する第1及び第2の領域が、使用ビット領域と不使用ビット領域に割り当てられ、その割り当てが所定回数の書き換え毎に入れ替えられるので、第1及び第2の領域への書き換え回数を減らす（具体的には半減させる）ことができる。従って、書き換え回数の増大によるトラップ層内のチャージロス量の

増大を抑えることができる。

【0025】

発明の第3の側面において、より好ましい実施例では、使用ビット領域を記憶する使用ビット判定メモリを有する。使用ビット領域と不使用ビット領域とを入れ替えた時は、この使用ビット判定メモリのデータも書き換えられる。従って、読み出し動作、書き込み動作及び消去動作において、使用ビット領域がどちらに位置するかを、使用ビット判定メモリをチェックすることにより判定することができる。

【0026】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0027】

図7は、本実施の形態における不揮発性メモリの構成図である。このメモリは、図1に示したトラップ層を有する不揮発性メモリセルを複数有するセルアレイ10と、そのXデコーダ12と、Yデコーダ14と、それに対応するアドレスラッチ回路16とを有する。セルアレイ10は、消去単位である複数のセクタを有する。また、セルアレイ10から読み出されるデータや、書き込まれるデータをラッチするデータラッチ回路18と、外部から書き込みデータを入力し、外部に読み出しデータを出力する入出力バッファ20とを有する。入出力バッファ20は、チップイネーブル/出力イネーブル回路24により制御される。

【0028】

また、このメモリの書き込み動作、消去動作、読み出し動作を制御する制御回路22が設けられ、この制御回路22は、制御信号/WE、/CE、/OEと、アドレスAddと、データDATAのそれぞれの外部端子から供給されたコマンドに応答して、対応する動作を制御する。制御回路22の制御に応答して、書き込み回路26と読み出し回路28と消去回路30とが、メモリセルアレイ10に対して対応する動作を行う。

【0029】

更に、本実施の形態においては、使用ビット判定メモリ32が設けられている。この使用ビット判定メモリ32には、メモリセルのトラップ層のどちら側が使用ビット領域か不使用ビット領域かを示すデータが格納される。従って、後述する使用ビット領域と不使用ビット領域とを入れ替える実施の形態では、この使用ビット判定メモリ32をチェックして使用ビット領域を確認し、使用ビット領域と不使用ビット領域とを入れ替えた時は、この使用ビット判定メモリ32のデータが書き換えられる。

【第1の実施の形態】

図8は、第1の実施の形態における自動消去動作のフローチャート図である。図8には、各工程におけるメモリセルのトラップされた電荷（実施の形態では電子であり、以下電子で説明する）が黒丸で示される。第1の実施の形態では、トラップ層の不使用ビット領域を、消去動作完了時に書き込み状態（電子トラップ状態）にする。図中、トラップ層の右側が使用ビット領域、左側が不使用ビット領域に割り当てられているものとする。

【0030】

自動消去動作が開始される時（S10）では、トラップ層の左側の不使用ビット領域は電子がトラップされた書き込み状態にあり、トラップ層の右側の使用ビット領域には、書き込みが行われていれば電子がトラップされており、未書き込みであれば電子はトラップされていない。そこで、消去前書き込み工程S11にて、トラップ層の使用ビット領域に電子がトラップされる。この消去前書き込み工程は、図2の書き込み動作と同じであり、各メモリセルに対して個別に行われる。この結果、工程S11で図示されるとおりトラップ層の両側に電子が注入される。

【0031】

この状態で、右側の使用ビット領域のみ消去工程によりホールが注入されて消去状態にされる（S12）。この消去工程S12は、セクタ内の複数のメモリセルに対して一括して行われる。消去工程S12は、消去ベリファイと消去パルス印加とを少なくとも有する。消去工程後に、不使用ビット領域に対して、書き込

み状態であるか否かをチェックする書き込みペリファイが行われ、書き込みが不十分の場合は、不使用ビット領域に対して書き込み工程が行われる（S13）。消去動作開始時において、トラップ層の左側の不使用ビット領域は書き込み状態であるので、この工程S13での書き込み動作では、ペリファイパスにより書き込み処理はほとんど行われない。

【0032】

図9は、使用ビット領域のみ消去する時のセルアレイの印加電圧の例を示す図である。図9のセルアレイには、ワード線WL0～WL2と、ビット線BL0～BL5と、それらの交差位置にそれぞれ配置されたメモリセルMCとを有する。ビット線は、図示しないデータラッチ回路にそれぞれ接続される。図9のメモリセルは、両ソース・ドレインがそれぞれビット線に接続される。従って、左右に隣接するメモリセルMCは、使用ビット領域がそれぞれ逆になる。即ち、メモリセルMC0、MC2、MC4は、トラップ層の左側が使用ビット領域であり、メモリセルMC1、MC3、は、トラップ層の右側が使用ビット領域である。つまり、図8に示したメモリセルは、図9におけるメモリセルMC1、MC3に対応する。

【0033】

図8の消去前書き込み工程S11が終了した時点では、全てのメモリセルのトラップ層の両側が電子がトラップされた書き込み状態になっている。その状態で、使用ビット領域にのみ消去工程が行われる（S12）。そのために、ワード線WLには例えば-6Vが、偶数ビット線BL0、BL2、BL4には例えば6Vが印加され、そして、奇数ビット線BL1、BL3、BL5は例えばフローティング状態（Float）にされる。その結果、メモリセルMC0、MC2、MC4にはトラップ層の右側が消去状態になり、メモリセルMC1、MC3にはトラップ層の左側が消去状態になる。その結果、自動消去動作終了時点で、不使用ビット領域は書き込み状態で、使用ビット領域は消去状態になる。図9に示されるように、消去工程S12では、複数のメモリセルに対して一括して消去パルスが印加される。

【0034】

自動消去動作が終了した後は、記憶データに応じて、使用ビット領域に電子がトラップされて書き込み状態（データ0）にされる。この書き込み動作は、図2

に示した通りであり、トラップ層の不使用ビット領域に電子がトラップされて書き込み状態になっているので、図4に示すとおり、書き込み時間を短くすることができる。更に、書き込み後のデータ保持状態でも、トラップ層の不使用ビット領域が書き込み状態になっているので、図5に示すとおり、データ保持時間が長くなっても閾値電圧の低下は抑制される。

【0035】

更に、読み出し動作は、図2に示した通りであり、使用ビット領域に対してセルトランジスタが電流を流すか流さないかにより、データ読み出しが行われる。

【0036】

図10は、第1の実施の形態における別の自動消去動作のフローチャート図である。この消去動作では、消去前書き込み工程S11と、不使用ビットのベリファイ及び書き込み工程S13とは、図8の自動消去動作と同じであるが、消去前書き込み工程S11の後で、使用ビット領域と不使用ビット領域の両方が消去される(S14)。図10に示されるとおり、消去前書き込み工程S11が行われると、メモリセルのトラップ層の両側に電子がトラップされて書き込み状態にされる。そこで、コントロールゲートに-6Vを、両ソース・ドレイン領域に6Vをそれぞれ印加することで、チャネル領域にトンネル注入されたホットホールを、トラップ層の両側に注入する。その結果、トラップ層の使用ビット領域と不使用ビット領域の両側が、消去状態にされる。この消去工程S14も、セクタ内の複数のメモリセルに対して行われ、複数のメモリセルに対して消去パルスが一括して印加される。

【0037】

トラップ層の両側に電子がトラップされた状態では、工程S14のように、両側に対して同時に消去工程を行うことが、片側のみに対して消去工程を行うよりも消去を高速化することができる。この理由は、トラップ層の両側に電子がトラップされた状態では、その電子の分布によりトラップ層の中央部にも電子がトラップされていて、従って、片側にのみホットホールを注入するのではなく、両側からホットホールを注入することで、トラップ層全体にホットホールを注入することができ、少ない消去パルスで消去を完了することができるからである。片側

のみにホットホールを注入したのでは、トラップ層の中央部にトラップされている電子により、なかなか消去状態にならないのである。

【0038】

図11は、使用ビット領域と不使用ビット領域の両方を消去する時のセルアレイの印加電圧の例を示す図である。上記の通り、ワード線WLには-6Vが印加され、全てのビット線に6Vが印加される。

【0039】

そして、図10の工程S13にて、不使用ビット領域に対して、書き込みベリファイと書き込み工程が行われ、トラップ層の左側の不使用ビット領域に電子がトラップされ、書き込み状態となる。トラップ層の右側の使用ビット領域は消去状態のままである。

【0040】

上記のように、自動消去動作において、消去前書き込み工程の後で、両ビット領域を消去状態にしてもよい。但し、その場合は、不使用ビット領域に対する書き込み工程S13での書き込み時間が、図8の場合よりも長くなる。但し、自動消去動作自体が長時間をする動作であるので、その一連の動作のなかで不使用ビット領域への書き込みを行うことで、フラッシュメモリの全体のパフォーマンス低下を避けることができる。

【0041】

図10、11の一連の消去動作が完了した時点で、トラップ層の不使用ビット領域が書き込み状態になっているので、その後の使用ビット領域に対する書き込み時間を短くすることができ、更にデータ保持時間が長くなても閾値電圧の低下を抑制することができる。

【0042】

図10の消去動作では、最後に不使用ビット領域側に書き込みを行い電子をトラップさせている。しかしながら、消去動作ではこの不使用ビット領域への書き込み処理を省略し、その後の使用ビットへの書き込み動作の時にそのメモリセルの不使用ビットへの書き込みを同時にを行うようにしてもよい。つまり、図5に示したようなデータの保存特性の改善は、不使用ビット領域に電子がトラップされ

た状態に対するものである。従って、プログラム動作時に実際に書き込まれるメモリセルにのみ不使用ビット領域への書き込み処理を行えば、全体で書き込み処理数を減らすことができる。つまり、図10のように、消去動作時に全てのメモリセルの不使用ビット領域に書き込み処理を行う必要はない。

【0043】

また、使用ビット領域への書き込みを行う以前までに不使用ビット領域への書き込みを完了させれば、図5に示されるとおり、書き込まれたデータの保持特性を改善することができる。更に、使用ビット領域への書き込みを行う直前で不使用ビット領域に書き込みを行えば、使用ビット領域への書き込み特性を改善することができる。

【0044】

図12、図13、図14は、上記の変形例における書き込み動作のフローチャート図である。3種類の書き込み動作（プログラム動作）について説明する。

【0045】

図12の例は、指定されたアドレスのメモリセルの使用ビット領域への書き込みを行い、その書き込みベリファイをパスした後に不使用ビット領域への書き込みを行う。つまり、指定アドレスの書き込みベリファイS15をパスするまで、指定アドレスの使用ビット領域への書き込みパルスの印加S16を繰り返し、書き込みベリファイをパスしたら、同じアドレスのメモリセルの不使用ビット領域への書き込みパルスの印加S18を、その書き込みベリファイS17をパスするまで繰り返す。

【0046】

図13の例は、指定されたアドレスのメモリセルの使用ビット領域への書き込みを行う時に、使用ビット領域への書き込みパルスの印加S16と同時に、不使用ビット領域への書き込みパルスの印加S18も強制的に行う。両書き込みパルス印加S16、S18は、指定アドレスの使用ビット領域への書き込みベリファイS15がパスするまで繰り返される。但し、不使用ビット領域への書き込みベリファイは行わない。トラップ層へ電子を注入する書き込み動作では、最初の書き込みパルスの印加で、大量の電子が注入される。そして、その後の書き込みパ

ルスの印加では、注入される電子の量は最初のパルス時に比較すると非常に少ない。従って、データ読み出しを伴わない不使用ビット領域への書き込みベリファイを省略しても、何ら支障はなく、不使用ビット領域にいくらかの電子がトラップされていれば、データ保持特性が改善されるのである。

【0047】

図14の例は、指定されたアドレスのメモリセルへの書き込み処理に先立って、不使用ビット側に書き込みパルスを特定回数だけ印加し(S18)、その後指定されたアドレスの使用ビット側への書き込み処理を行う。つまり、書き込みベリファイS15をパスするまで、使用ビット領域への書き込みパルスの印加S16を繰り返す。この例では、不使用ビット領域への書き込みパルスの印加は特定回数のみであるが、前述のとおり十分な量の電子を注入することができる。従って、その後の書き込み時間の短縮とデータ保持特性の改善が得られる。

[第2の実施の形態(不使用ビットを書き込み状態にする例)]

図6に示されるとおり、フラッシュメモリは書き換え回数が増加するに伴い、トラップ層内にトラップしたチャージ(電荷)が消失する量が増加する。これは、書き換えるたびに書き込みパルスや消去パルスが印加され、それに伴うストレスにより、ゲート酸化膜などが劣化することが一つの原因と考えられる。

【0048】

そこで、第2の実施の形態では、絶縁性のトラップ層であれば両側のトラップ領域を別々に使用できることを利用して、所定回数の書き換えのたびに、トラップ層の使用ビット領域と不使用ビット領域とを入れ替える。その結果、書き換え処理がトラップ層の2つの領域に分散されるので、それぞれの領域に対しては、書き換え回数を半減させることができ、チャージロス量の増加を抑えることができる。

【0049】

図15は、第2の実施の形態における消去動作のフローチャート図である。説明の都合上、トラップ層の左側を奇数ビット領域(O)、右側を偶数ビット領域(E)とする。図15のフローチャートの左側には、使用ビット領域が奇数だったものが偶数に置き換えられる例を、右側にはその逆の例をそれぞれ示している

【0050】

まず、自動消去が開始される時点S20では、左側のメモリセルでは奇数側(O)が使用ビット領域であり、書き込みの有無により電子がトラップされているかトラップされていない状態にある。右側のメモリセルは偶数側(E)が使用ビット領域である。最初に、コントローラは、使用ビット判定メモリを読み出して(S21)、どちらのビット領域が使用ビット領域か否かを検出する(S22)。奇数側(O)が使用ビットの場合は、判定メモリの出力がN=1であり(S23)、消去前書き込みでは、奇数側(O)に対して書き込みを行う(S24)。但し、自動消去動作に入る前に既に書き込みが行われている場合は、この消去前書き込みでは、書き込みパルスを印加しなくても書き込みベリファイをパスする。上記の消去前書き込みは、メモリセルに対して個別に行われる。

【0051】

そして、今度は偶数側の元不使用ビット領域に対して消去工程を行う(S25)。これにより、奇数側(O)には電子がトラップされたままで、偶数側(E)には電子がトラップされない状態になる。そして、使用ビットが入れ替えられたことに伴い、使用ビット判定メモリに書き込み処理が行われ、データをN=0に反転される(S26)。最後に、新たに不使用ビット領域になった奇数側(O)に対して書き込みベリファイと書き込み処理が行われる(S27)。この例では、奇数側(O)は既に書き込み状態であるので、ベリファイをパスし書き込みパルスは印加されない。その結果、メモリセルは、奇数側(O)に電子がトラップされ、偶数側(E)は消去状態になる。

【0052】

図16は、上記の消去前書き込み工程S24と、消去工程S25における制御電圧の例を示す図である。消去前書き込みS24では、奇数ビット線に5Vが、偶数ビット線に0Vが印加されて、各メモリセルの奇数コラム側の領域に電子が注入される。この消去前書き込みは、各メモリセル毎に順番に1個ずつ行われる。但し、全メモリセルに一斉に消去前書き込みを行っても良い。次に、消去工程では、奇数ビット線をフローティング状態にし、偶数ビット線に6Vが印加され

て、各メモリセルの偶数コラム側の領域にホールが注入される。図1-5に示されたメモリセルは、図1-6のメモリセルMC1に対応する。このように、消去工程S25では、複数のメモリセルに対して消去パルスが一括して印加される。

【0053】

一方、使用ビット判定メモリを読み出したときに、読み出しデータが $N=0$ で使用ビット領域が偶数側(E)だったとすると(S28)、消去前書き込み処理では使用ビット領域の偶数側に書き込みが行われる(S29)。そして、奇数側(O)に消去工程が行われる(S30)。それに伴い、使用ビット判定メモリは消去されてデータ $N=1$ に変更される(S31)。最後に、新たに不使用ビット領域になった偶数側(E)に対して書き込みベリファイと書き込み処理が行われる(S32)。その結果、メモリセルは、偶数側(E)に電子がトラップされ、奇数側(O)は消去状態になる。

【0054】

図1-7は、上記の消去前書き込み工程S29と消去工程S30における制御電圧の例を示す図である。消去前書き込み工程S29では、奇数ビット線に0Vが、偶数ビット線に5Vがそれぞれ印加され、各メモリセルの偶数ビット線側に電子が注入される。また、消去工程S30では、偶数ビット線がフローティングにされ、奇数ビット線に6Vが印加されて、メモリセルの奇数ビット線側にホールが注入される。この場合も、消去工程S30では、複数のメモリセルに一括して消去パルスが印加される。

【0055】

図1-5の自動消去工程によれば、1回の書き換え毎に使用ビット領域と不使用ビット領域とが切り換えられる。そして、N回の書き換えに対して、各ビット領域への書き込み工程と消去工程はそれぞれ $N/2$ 回であるので、チャージロス量の増加を抑制することができる。

【0056】

図1-8は、第2の実施の形態における別の自動消去動作のプローチャート図である。図1-5と同じ工程には同じ引用番号を与えている。図1-8の例では、消去工程S25A、S30Aで、奇数側と偶数側の両方にホールを注入して両側を消

去状態にする。そして、それぞれ最後に新たな不使用ビット領域側に書き込みを行い、電子をトラップさせる (S 27, S 32)。

【0057】

図18の例では、消去工程S 25A、S 30Aで、図11のように全てのビット線に6Vを印加してメモリセルの両側のビット領域にホールを注入する。従って、片側の領域にのみホールを注入する場合に比較して消去工程を短時間で行うことができる。つまり、消去パルスを印加する時間が短くなり、チャージロス量の増大を抑える効果もある。

【0058】

図19は、第2の実施の形態における自動消去動作の変形例のフローチャート図である。図18の一連の自動消去動作では、消去工程で両側のビット領域を消去状態にし、一連の消去動作の最後に不使用ビット領域側に電荷が注入される。しかしながら、図12、13、14に示したとおり、自動消去動作では不使用ビット領域への書き込み工程を実施せずに、使用ビット領域に書き込みが行われる時に、そのメモリセルの不使用ビット領域に書き込みを行っても良い。図19は、そのような自動処理動作のフローチャートである。図18と比較すると、最後の新不使用ビット領域へのペリファイと書き込み工程S 27及びS 32とが省略されている。その場合、図12、13、14の書き込み動作では、書き込む前に使用ビット判定メモリが読み出され、どちらが使用ビット領域かを確認することが行われる。この場合も、データ保持状態では不使用ビット領域に電荷がトラップされているので、データ保持特性を改善することができる。

【0059】

図20は、第2の実施の形態における読み出し動作のフローチャート図である。読み出し動作では、最初に使用ビット判定メモリを読み出し (S 41)、いずれの領域が使用ビット領域かをチェックする (S 42)。読み出しデータがN=1の場合は、奇数側 (O) が使用ビット領域であるので、奇数側のビットが読み出される (S 44)。また、読み出しデータがN=0の場合は、偶数側 (E) が使用ビット領域であるので、偶数側のビットが読み出される (S 46)。

【0060】

図には示されないが、第2の実施の形態では、書き込み動作においても、読み出し動作と同様に、最初に使用ビット判定メモリを読み出して、書き込むべき領域をチェックし、使用ビット領域に電荷の注入を行う。

【第2の実施の形態（不使用ビットを消去状態にする例）】

前述の第2の実施の形態では、不使用ビット領域を電荷がトラップされた書き込み状態にし、更に使用ビット領域と不使用ビット領域とを書き換えるたびに切り換えている。しかし、使用ビット領域と不使用ビット領域とを切り換える場合、データ記憶中において不使用ビット領域を消去状態に維持しても、同様にチャージロス量の増大を抑えることができる。つまり、必ずしも第1の実施の形態のように不使用ビット領域を書き込み状態にする必要はない。

【0061】

図21は、不使用ビットを消去状態に維持して使用ビットを切り換える場合の自動消去動作のフローチャート図である。この例では、使用ビット領域にのみ消去を行う。図中、不使用ビットを書き込み状態に保つ図15のフローチャートに対応する工程には、同じ工程番号を与えている。自動消去開始時S20では、メモリセルは、不使用ビット領域は消去状態にあり、使用ビット領域は消去状態または書き込み状態になっている。

【0062】

最初に、使用ビット判定メモリを読み出して（S21）、使用ビット領域が奇数側か偶数側かをチェックする。奇数側の場合は、消去前書き込み工程S24Bで、使用ビット側である奇数側（○）に電子を注入して書き込みを行う。既に、書き込み状態にあれば、ここでの消去前書き込みは最初のベリファイでパスして、書き込みパルスの印加は行われない。この消去前書き込み工程S24Bは、図15の工程S24とは異なる。更に、消去工程S25Bでは、使用ビット側の奇数側にホールを注入して、消去状態にする。この工程も、図15の消去工程S25と異なる。その後、使用ビット判定メモリに書き込み処理S24を行い、使用ビットを偶数側に切り換える。

【0063】

一方、使用ビットが偶数側の場合は、消去前書き込み工程S29Bで、使用ビ

ット側である偶数側 (E) に電子を注入し、更に、消去工程 S 30 B で、使用ビット側である偶数側 (E) にホールを注入して消去状態にする。その後、使用ビット判定メモリに消去処理 S 31 を行い、使用ビットを奇数側に切り換える。

【0064】

上記消去動作後において、所定のメモリセルの使用ビット側に書き込み処理が行われる。従って、この例においては、N回の書き換えに対して、各ビット領域には $N/2$ 回の書き換え（書き込み工程と消去工程）が行われるだけであり、書き換え回数増加に伴うチャージロス量増大を抑えることができる。

【0065】

図22は、不使用ビットを消去状態にして使用ビットを切り換える場合の自動消去動作の別のフローチャート図である。この例では、使用ビット領域と不使用ビット領域の両方に消去を行う。図中、不使用ビットを書き込み状態に保つ図18のフローチャートに対応する工程には、同じ工程番号を与えていた。この場合も、自動消去開始時 S 20 では、メモリセルは、不使用ビット領域は消去状態にあり、使用ビット領域は消去状態または書き込み状態になっている。

【0066】

最初に、使用ビット判定メモリを読み出して使用ビット領域を検出する (S 21, S 22)。使用ビットが奇数側でも偶数側でも、消去前書き込みでは、両側に書き込みを行い電子を注入する (S 24, S 29)。そして、両側にホールを注入して消去を行う (S 25A, S 30A)。使用ビットが奇数側の場合は、使用ビット判定メモリに書き込みを行い、データを $N = 0$ にする (S 26)。一方、使用ビットが偶数の場合は、使用ビット判定メモリに消去を行い、データを $N = 1$ にする (S 31)。

【0067】

この例では、消去工程 S 25A, S 30A でトラップ領域の両側にホールを注入するので、消去工程が短時間で終了し、それに伴うストレス印加回数を少なくすることができる。

【0068】

上記の実施の形態では、消去動作のたびに使用ビット領域と不使用ビット領域

とが切り換えられるが、所定回数の書き換えのたびに使用ビット領域と不使用ビット領域とが切り換えられてもよい。また、消去動作の時に上記切換が行われるので、消去単位のセクタ毎に使用ビット判別メモリを設けて、セクタ毎に使用ビットの位置が管理される。

【0069】

以上、実施の形態例をまとめると以下の付記の通りである。

【0070】

(付記1) 不揮発性メモリにおいて、

第1及び第2のソース・ドレイン領域と、コントロールゲートと、前記第1及び第2のソース・ドレイン領域間のチャネル領域と前記コントロールゲートとの間に設けられた絶縁性のトラップ層とを有するメモリセルを複数有し、

前記トラップ層が、前記第1のソース・ドレイン領域に近接する領域であって、トラップされる電荷の有無によりデータを記憶する使用ビット領域と、前記第2のソース・ドレイン領域に近接する領域であって、データ保持状態で電荷がトラップされている不使用ビット領域とを有することを特徴とする不揮発性メモリ。

【0071】

(付記2) 付記1において、

前記使用ビット領域を消去状態にする消去動作モードが完了した時点で、または前記使用ビット領域への書き込み動作以前までに、前記不使用ビット領域が電荷がトラップされた状態になっていることを特徴とする不揮発性メモリ。

【0072】

(付記3) 付記2において、

前記消去動作モードで、前記不使用ビット領域と前記使用ビット領域の両方に電荷がトラップされた状態にし、次いで、複数のメモリセルに対して、前記使用ビット領域を消去状態にすることを特徴とする不揮発性メモリ。

【0073】

(付記4) 付記2において、

前記消去動作モードで、前記不使用ビット領域と使用ビット領域の両方に電荷

がトラップされた状態にし、次いで、複数のメモリセルに対して、両ビット領域を消去状態にし、更に、前記不使用ビット領域を電荷がトラップされた状態にすることを特徴とする不揮発性メモリ。

【0074】

(付記5) 付記2において、

前記消去動作モードで、前記不使用ビット領域と使用ビット領域の両方に電荷がトラップされた状態にし、次いで、複数のメモリセルに対して、両ビット領域を消去状態にし、

書き込み動作モードで、前記不使用ビット領域を電荷がトラップされた状態にすることを特徴とする不揮発性メモリ。

【0075】

(付記6) 付記5において、

前記書き込み動作モードでは、不使用ビット領域に書き込みパルスを印加し、使用ビット領域に書き込みパルスの印加と書き込みベリファイとを行うことを特徴とする不揮発性メモリ。

【0076】

(付記7) 付記5において、

前記書き込み動作モードでは、書き込み対象のメモリセルの不使用ビット領域を電荷がトラップされた状態にし、書き込み対象外のメモリセルの不使用ビット領域には書き込みを行わないことを特徴とする不揮発性メモリ。

【0077】

(付記8) 付記5において、

前記書き込み動作モードでは、不使用ビット領域を電荷がトラップされた状態にした後に、前記使用ビット領域に書き込みを行うことを特徴とする不揮発性メモリ。

【0078】

(付記9) 不揮発性メモリにおいて、

第1及び第2のソース・ドレイン領域と、コントロールゲートと、前記第1及び第2のソース・ドレイン領域間のチャネル領域と前記コントロールゲートとの

間に絶縁性のトラップ層とを有するメモリセルを複数有し、

前記トラップ層が、前記第1又は第2のソース・ドレイン領域の一方に近接する領域であって、トラップされる電荷の有無によりデータを記憶する使用ビット領域と、前記第1又は第2のソース・ドレイン領域の他方に近接する領域であって、データの記憶に使用されない不使用ビット領域とを有し、

前記トラップ層の使用ビット領域と不使用ビット領域とが、所定回数の書き換えのたびに入れ替えられることを特徴とする不揮発性メモリ。

【0079】

(付記10) 付記9において、

更に、前記トラップ層のどちらの領域が前記使用ビット領域かを記憶する使用ビット判定メモリを有し、

前記使用ビット領域と不使用ビット領域とを入れ替えた時は、前記使用ビット判定メモリのデータが反転されることを特徴とする不揮発性メモリ。

【0080】

(付記11) 付記10において、

消去動作モードにおいて、少なくとも前記不使用ビット領域が消去状態にされ、前記使用ビット判定メモリのデータが書き換えられることを特徴とする不揮発性メモリ。

【0081】

(付記12) 付記10において、

前記消去動作モード、書き込み動作モード、読み出し動作モードの少なくともいずれかのモードにおいて、前記使用ビット判定メモリのデータに応じて、使用ビット領域が判定されることを特徴とする不揮発性メモリ。

【0082】

(付記13) 付記9において、

消去動作モードにおいて、前記使用ビット領域と不使用ビット領域とに電荷がトラップされた状態から、複数のメモリセルに対して、新たな使用ビット領域が消去され、新たな不使用ビット領域は電荷がトラップされた状態のままにされることを特徴とする不揮発性メモリ。

【0083】

(付記14) 付記9において、

消去動作モードにおいて、前記使用ビット領域と不使用ビット領域とに電荷がトラップされた状態から、複数のメモリセルに対して、両ビット領域が消去され、新たな不使用ビット領域に書き込みが行われて電荷がトラップされた状態にされることを特徴とする不揮発性メモリ。

【0084】

(付記15) 付記9において、

消去動作モードにおいて、前記使用ビット領域と不使用ビット領域とに電荷がトラップされた状態から、複数のメモリセルに対して、両ビット領域が消去され

書き込み動作モードにおいて、新たな不使用ビット領域に書き込みが行われて電荷がトラップされた状態にされることを特徴とする不揮発性メモリ。

【0085】

(付記16) 付記9において、

消去動作モードにおいて、前記使用ビット領域に電荷がトラップされた状態から、複数のメモリセルに対して、当該使用ビット領域が消去されることを特徴とする不揮発性メモリ。

【0086】

(付記17) 付記9において、

消去動作モードにおいて、前記使用ビット領域と不使用ビット領域とに電荷がトラップされた状態から、複数のメモリセルに対して、両ビット領域が消去されることを特徴とする不揮発性メモリ。

【0087】

(付記18) 付記16または17において、

更に、前記トラップ層のどちらの領域が前記使用ビット領域かを記憶する使用ビット判定メモリを有し、

前記消去動作モードにおいて、前記使用ビット判定メモリのデータが反転されることを特徴とする不揮発性メモリ。

【0088】

【発明の効果】

以上、本発明によれば、トラップ層の不使用ビット領域を電荷がトラップされた状態にするので、データ保持特性を改善することができる。また、書き換え前に不使用ビット領域を電荷がトラップされた状態にすれば、書き込み特性を改善することができる。

【図面の簡単な説明】

【図1】

トラップ層を有する不揮発性メモリセルの断面図である。

【図2】

トラップ層を有する不揮発性メモリセルの動作を示す図である。

【図3】

従来のメモリの消去動作のフローチャート図である。

【図4】

書き込み時間と閾値電圧Vthとの関係を示す図である。

【図5】

データ保持時間と閾値電圧Vthとの関係を示す図である。

【図6】

書き換え回数とチャージロス量の関係を示す図である。

【図7】

本実施の形態における不揮発性メモリの構成図である。

【図8】

第1の実施の形態における自動消去動作のフローチャート図である。

【図9】

使用ビット領域のみ消去する時のセルアレイの印加電圧の例を示す図である。

【図10】

第1の実施の形態における別の自動消去動作のフローチャート図である。

【図11】

使用ビット領域と不使用ビット領域の両方を消去する時のセルアレイの印加電

圧の例を示す図である。

【図1.2】

第1の実施の形態における書き込み動作の変形例のフローチャート図である。

【図1.3】

第1の実施の形態における書き込み動作の変形例のフローチャート図である。

【図1.4】

第1の実施の形態における書き込み動作の変形例のフローチャート図である。

【図1.5】

第2の実施の形態における消去動作のフローチャート図である。

【図1.6】

消去前書き込み工程S24と、消去工程S25における制御電圧の例を示す図である。

【図1.7】

消去前書き込み工程S29と消去工程S30における制御電圧の例を示す図である。

【図1.8】

第2の実施の形態における別の自動消去動作のフローチャート図である。

【図1.9】

第2の実施の形態における自動消去動作の変形例のフローチャート図である。

【図2.0】

第2の実施の形態における読み出し動作のフローチャート図である。

【図2.1】

不使用ビットを消去状態にして使用ビットを切り換える場合の自動消去動作のフローチャート図である。

【図2.2】

不使用ビットを消去状態にして使用ビットを切り換える場合の自動消去動作の別のフローチャート図である。

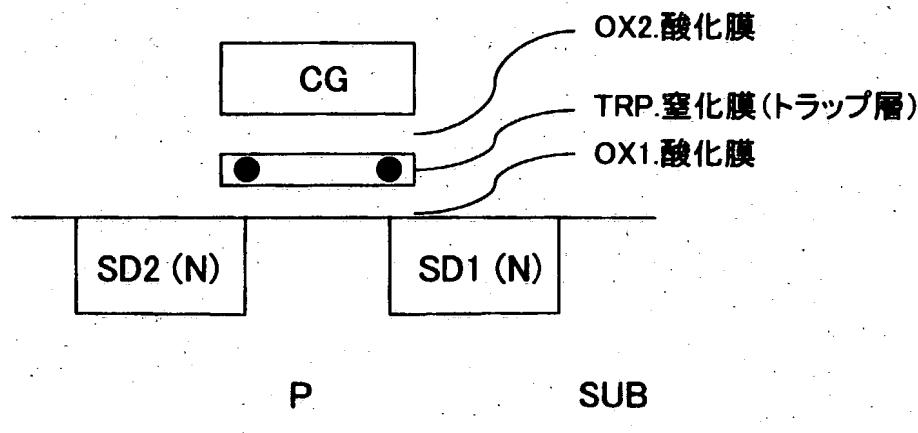
【符号の説明】

MC メモリセル

- 10 メモリセルアレイ
- 22 コントローラ
- 32 使用ビット判定メモリ

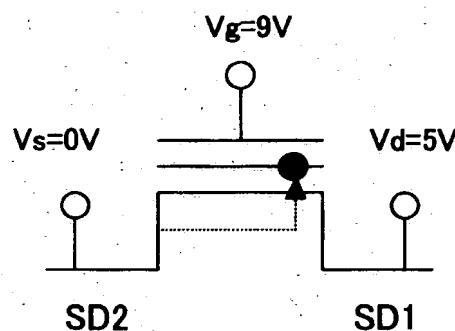
【書類名】 図面

【図1】

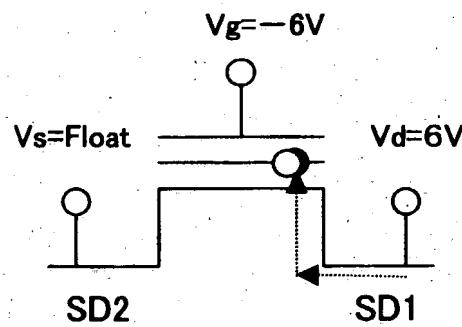


【図2】

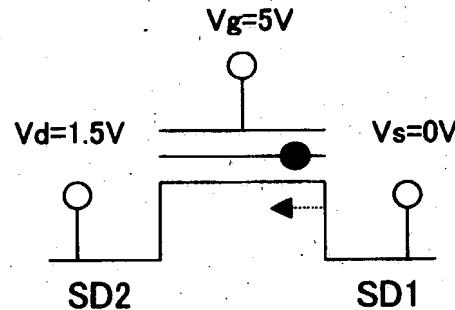
A. き込み動作



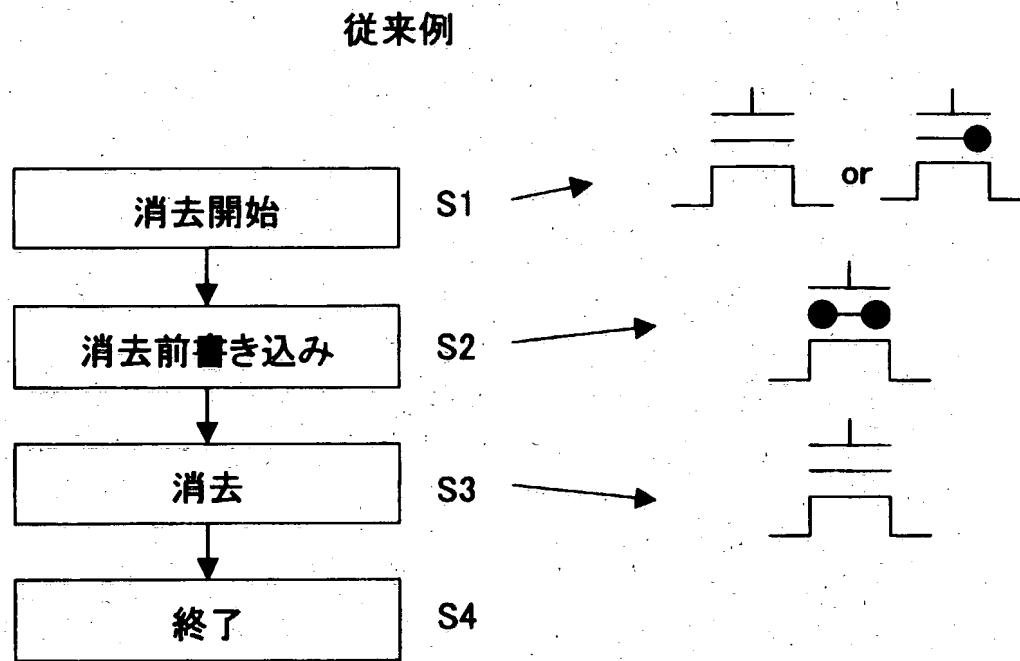
B. 消去動作



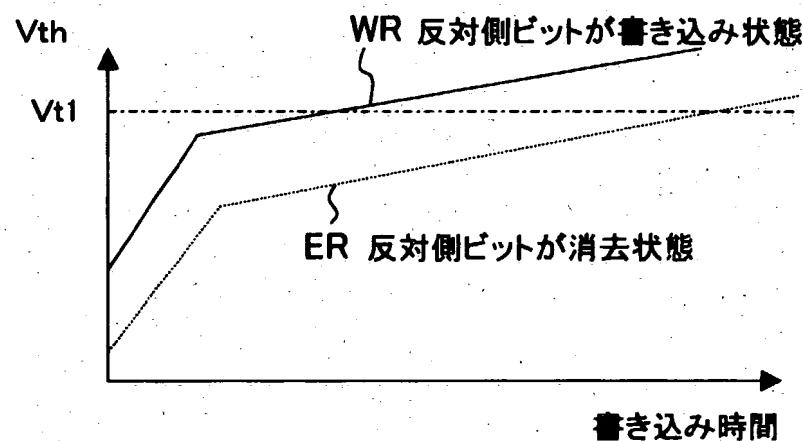
C. 読み出し動作



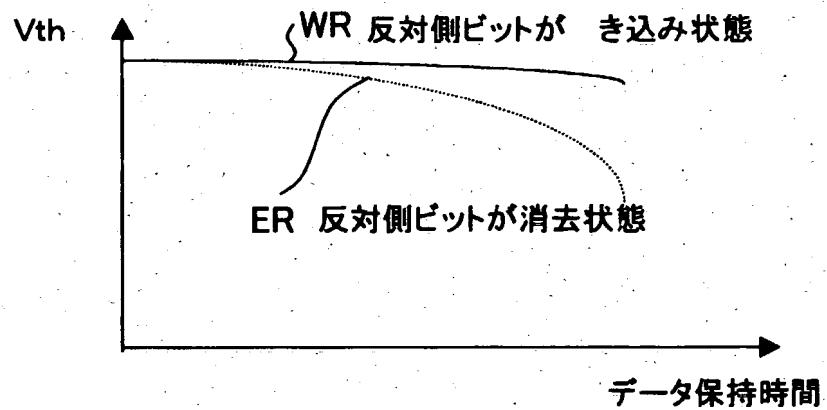
【図3】



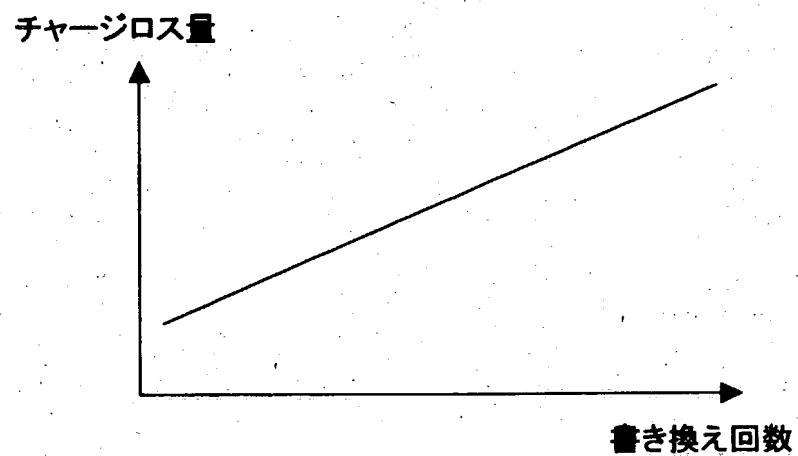
【図4】



【図5】

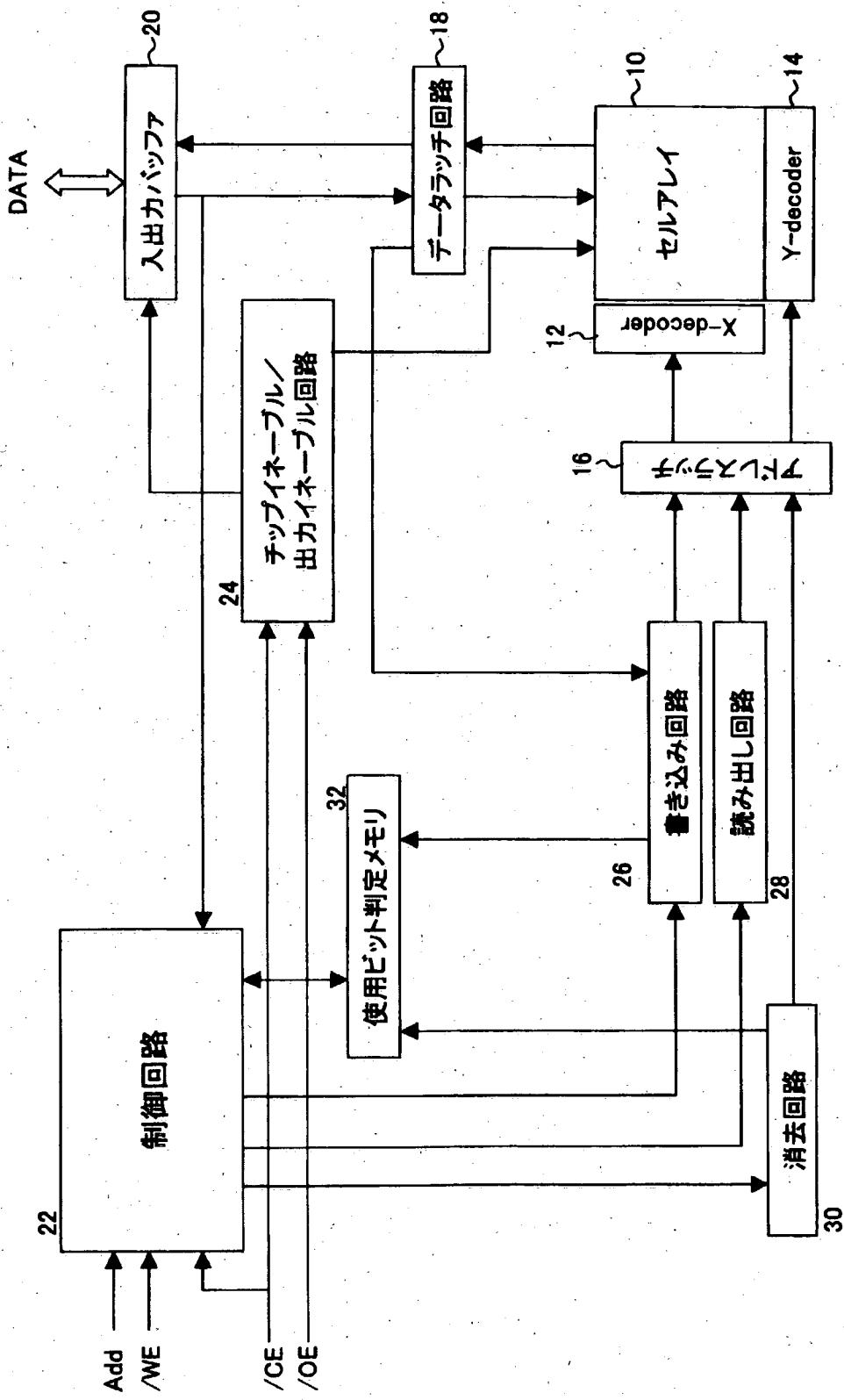


【図6】

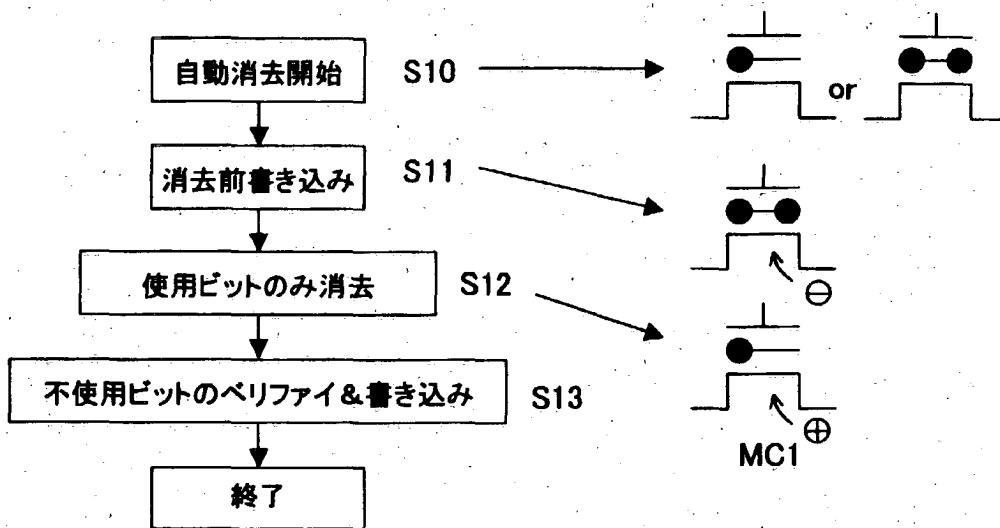


【図7】

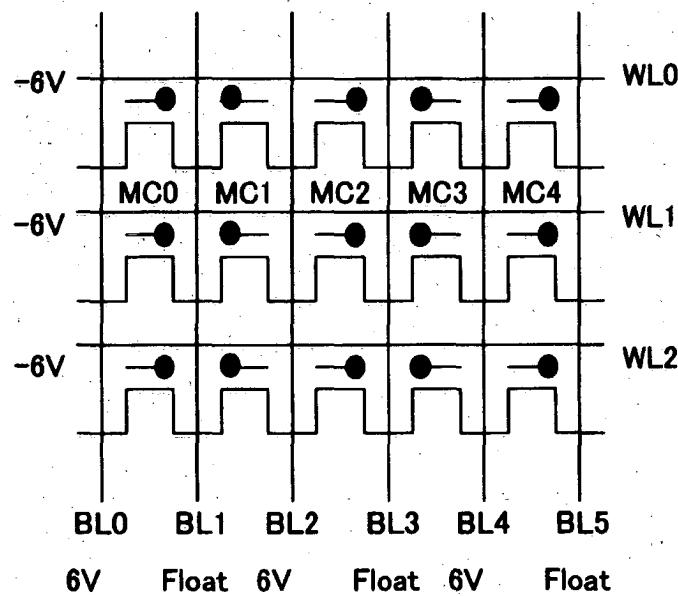
実施の形態の不揮発性メモリの構成図



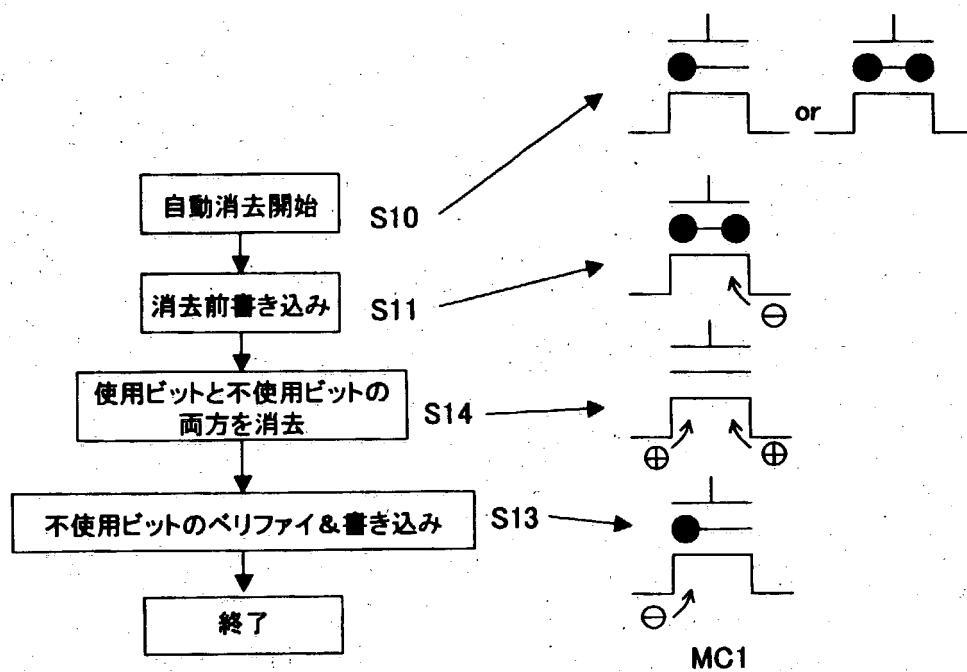
【図8】



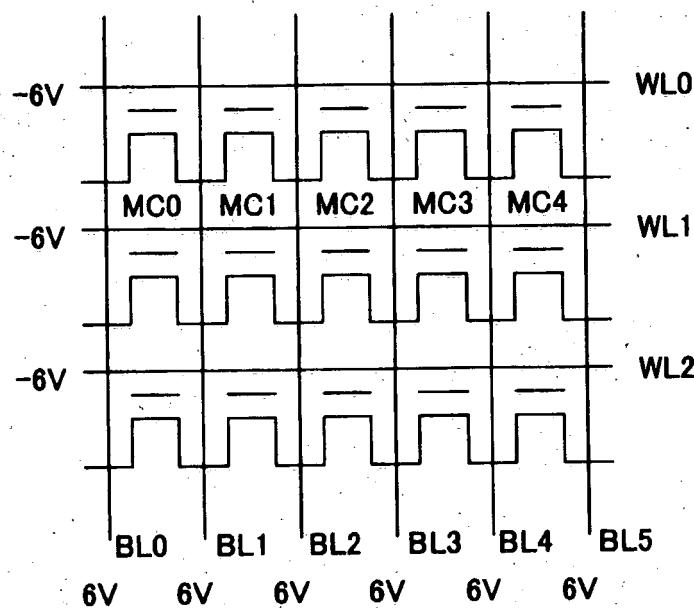
【図9】



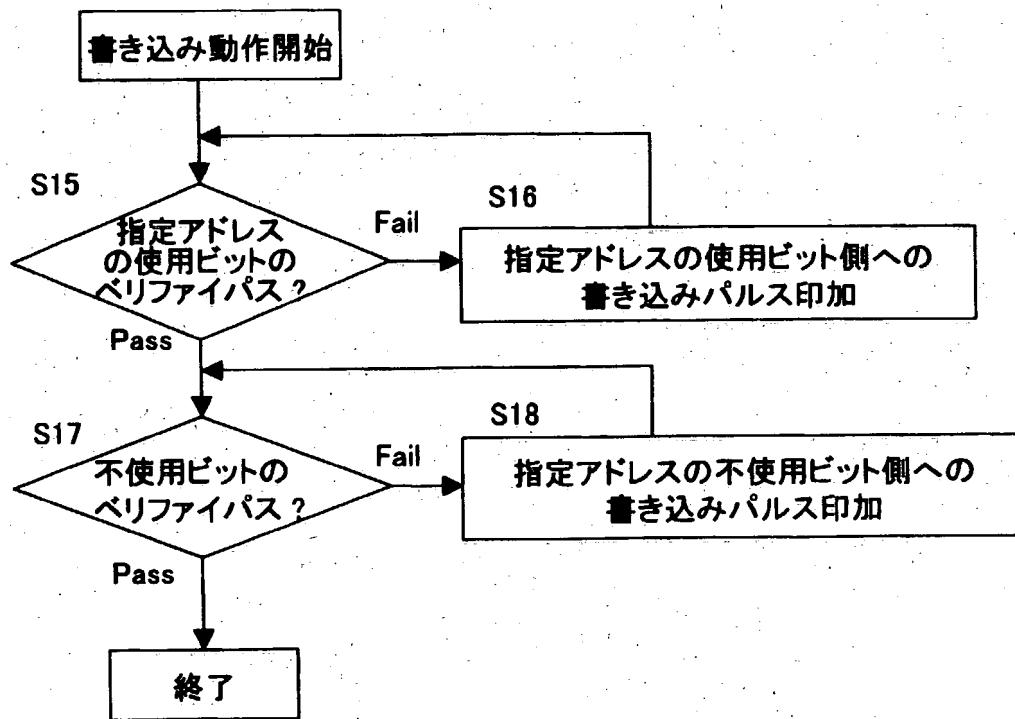
【図10】



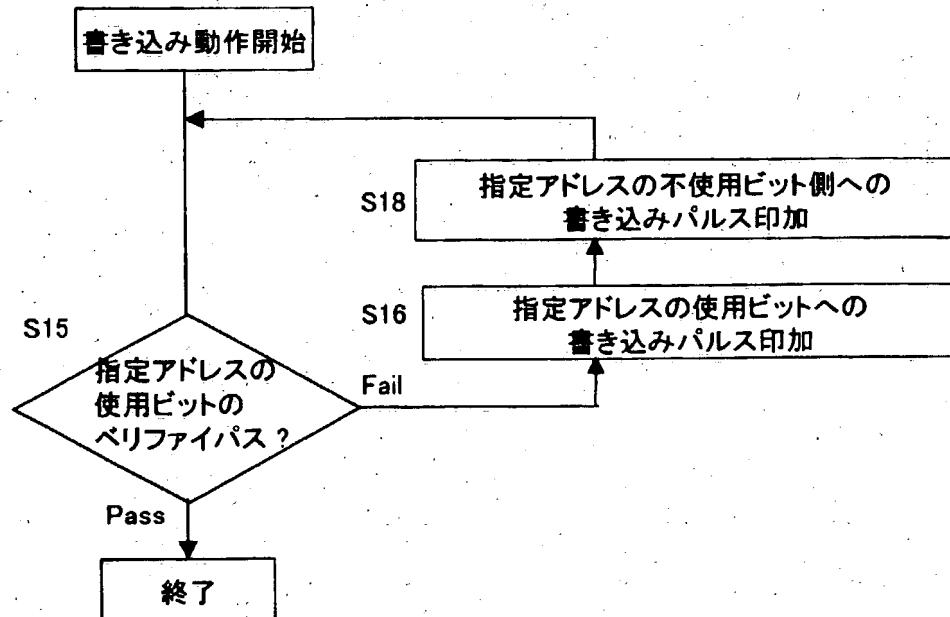
【図11】



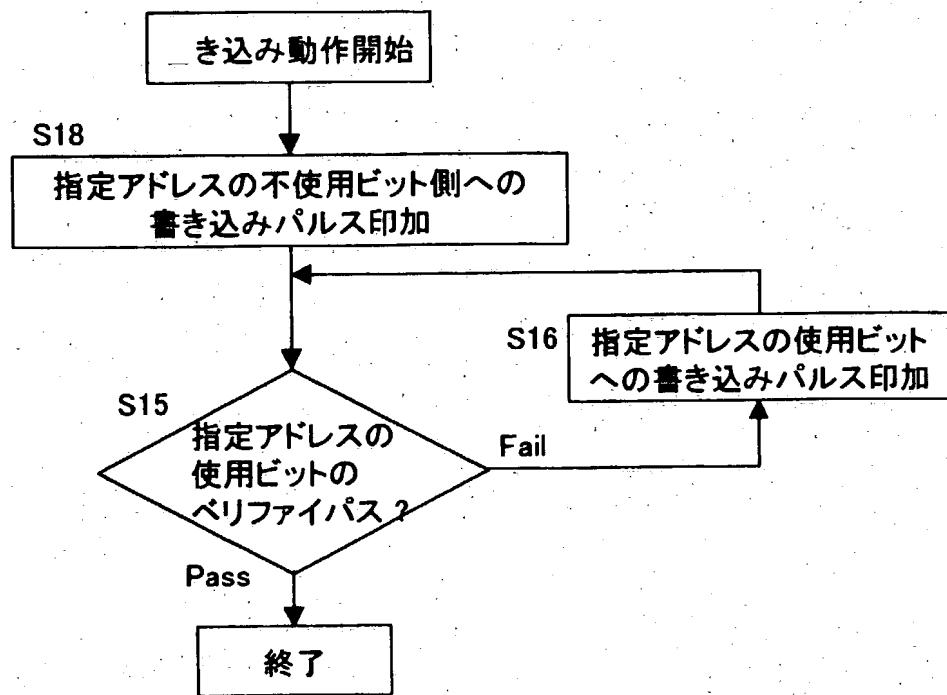
【図1.2】



【図1.3】

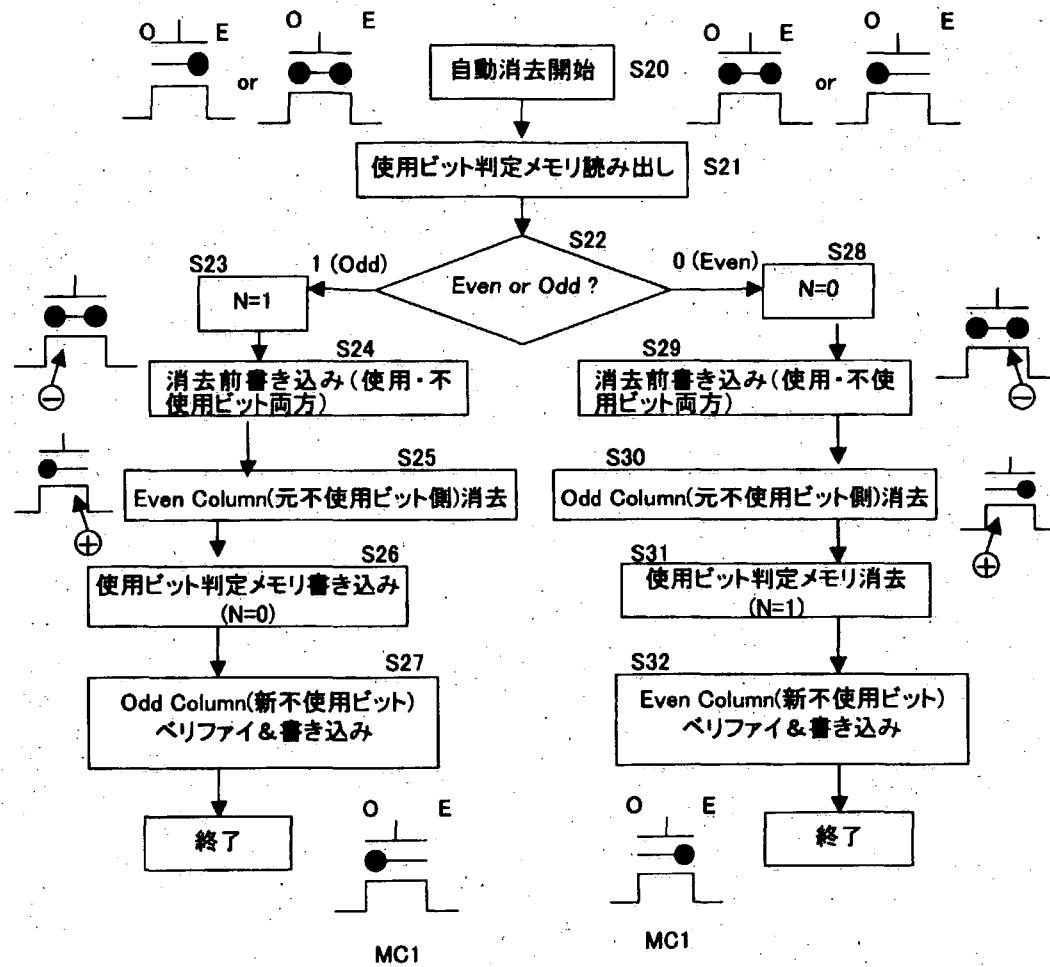


【図14】



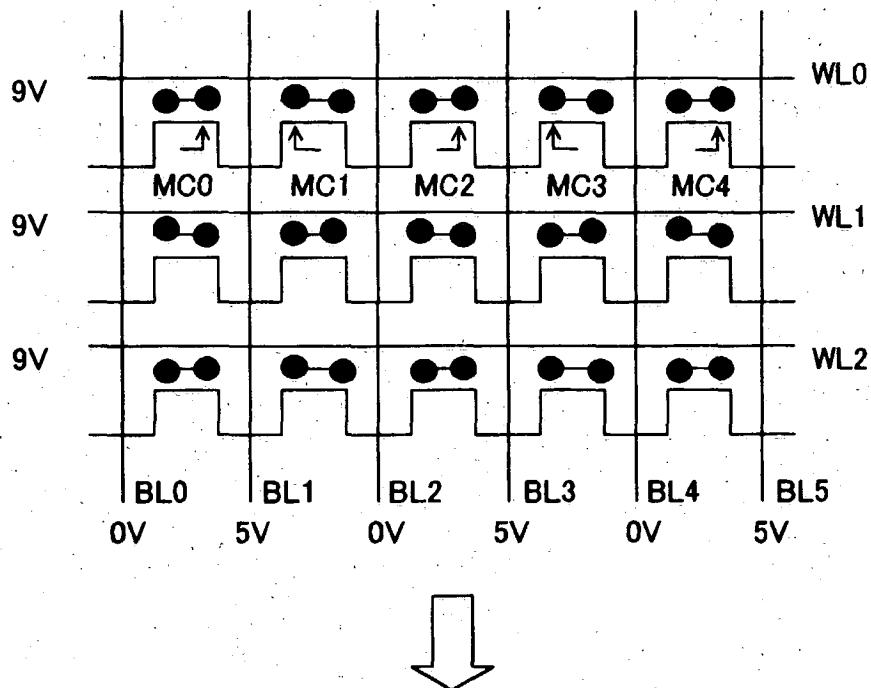
【図15】

不使用ビットを 込状態にして使用ビット
を切り換える場合の自動消去動作(1)

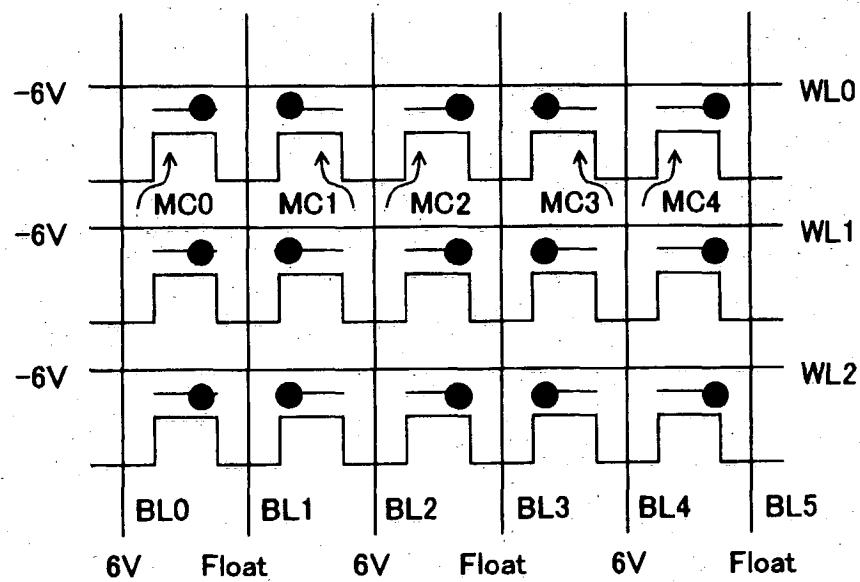


【図16】

S24 消去前書き込み工程

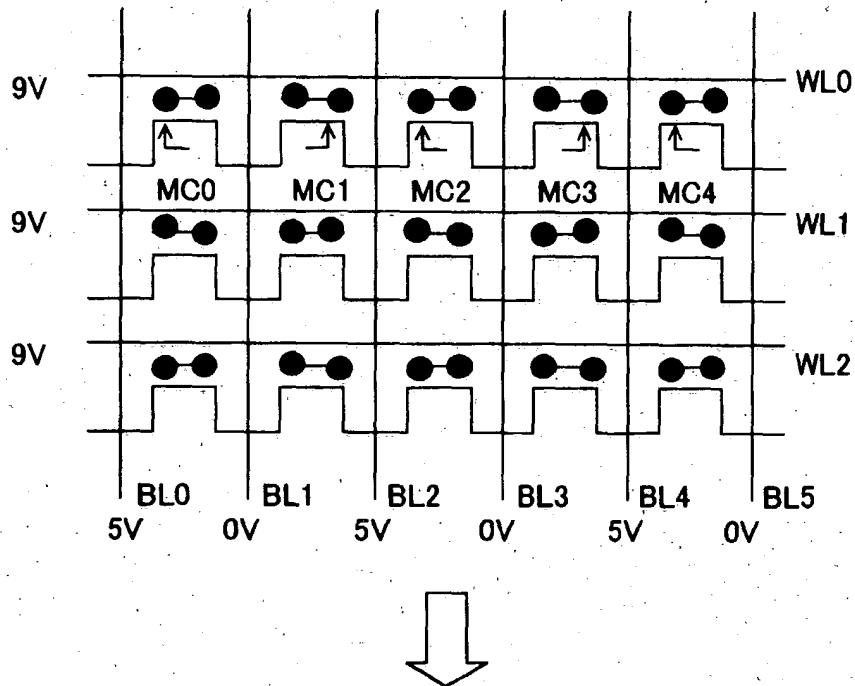


S25 消去工程

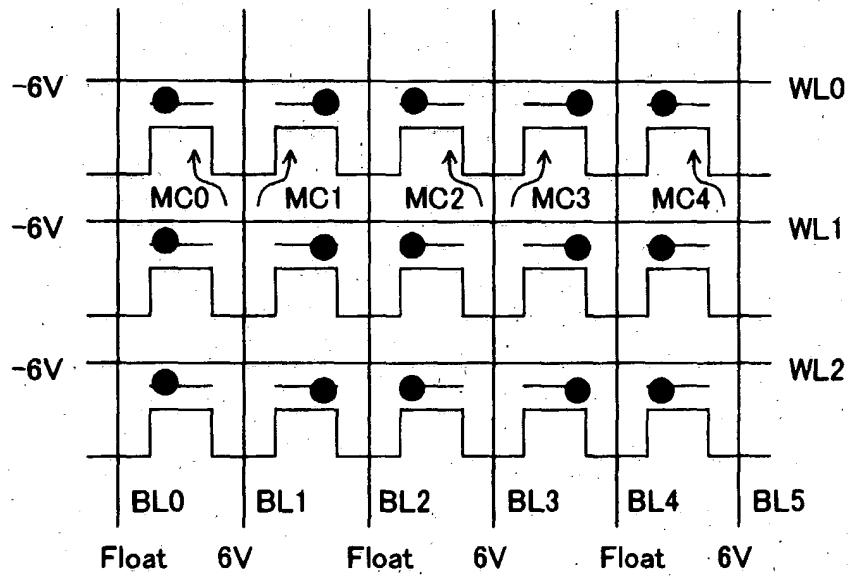


【図17】

S29 消去前書き込み工程

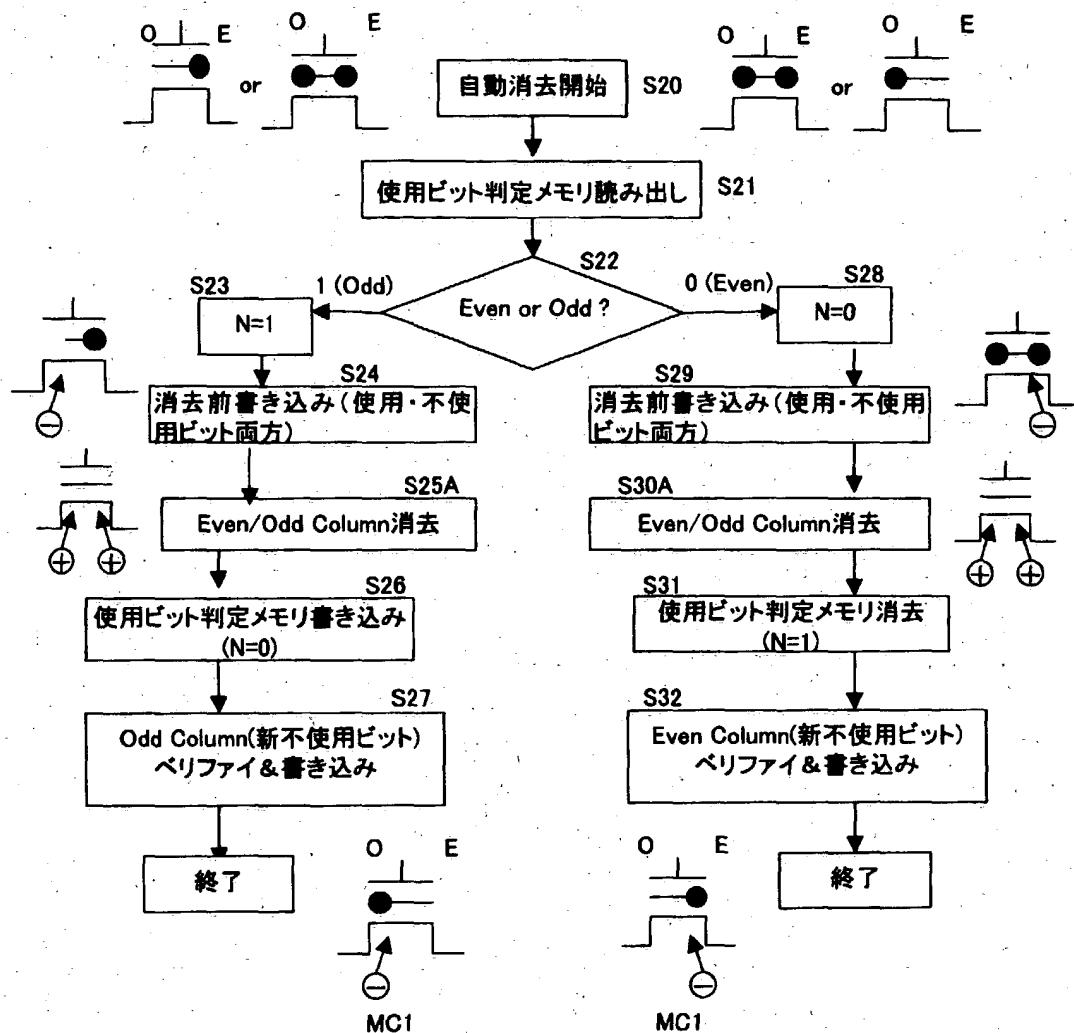


S30 消去工程

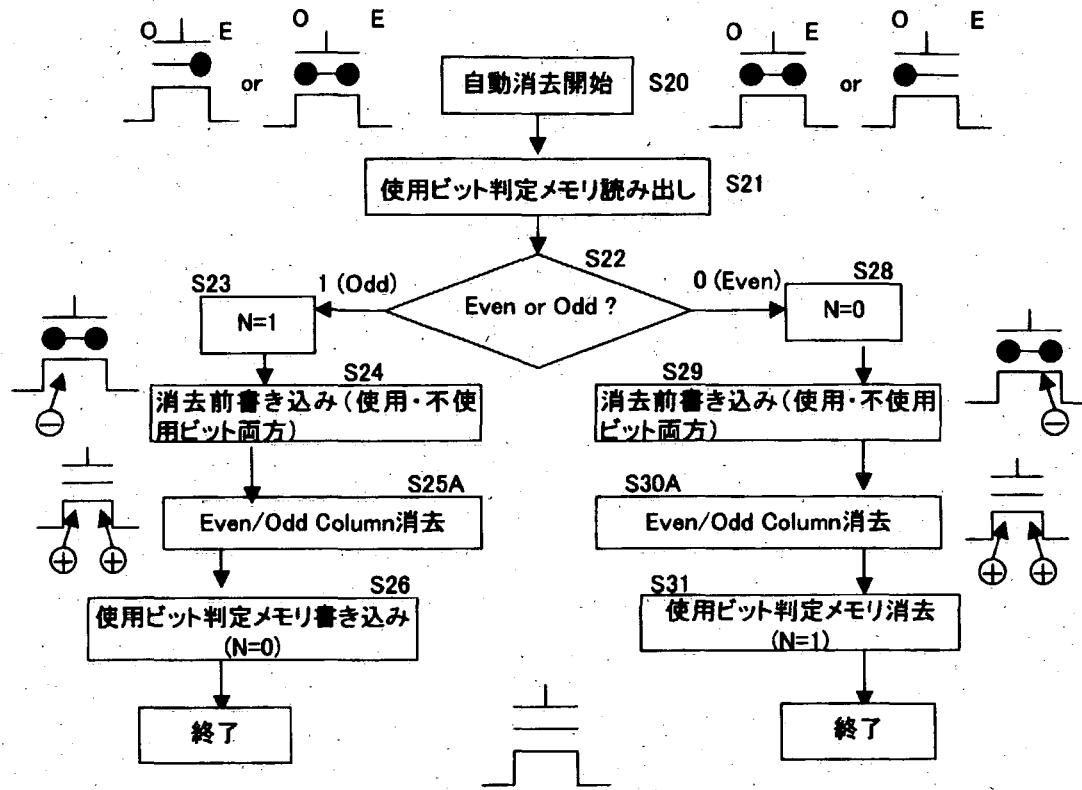


【図18】

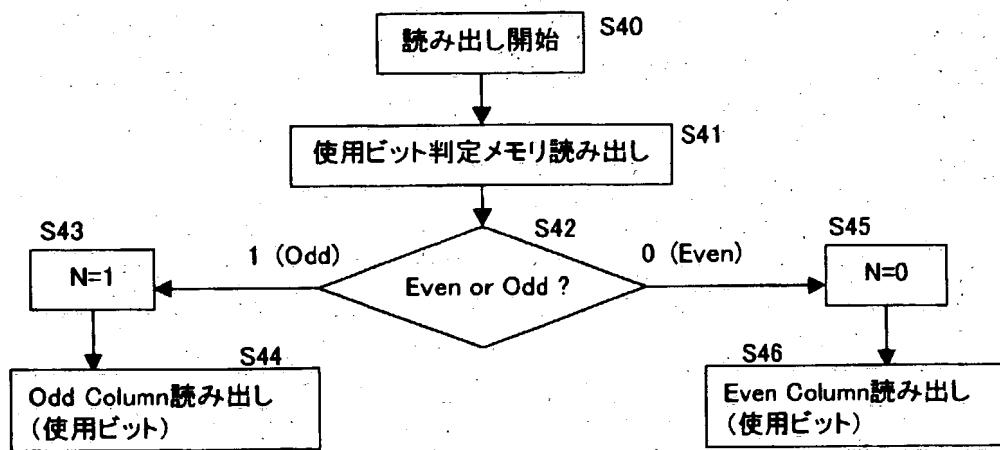
不使用ビットを書き状態にして使用ビット
を切り換える場合の自動消去動作(2)



【図19】

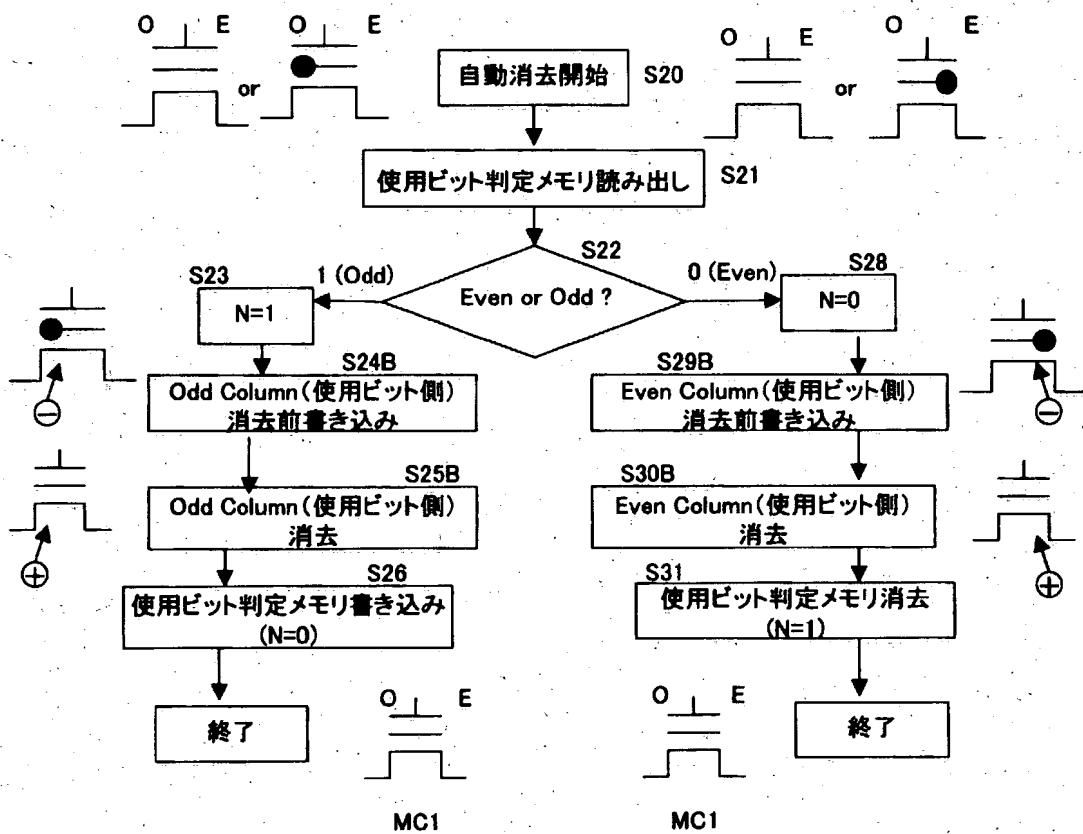
不使用ビットを書き込み状態にして使用ビット
を切り換える場合の自動消去動作(3)

【図20】



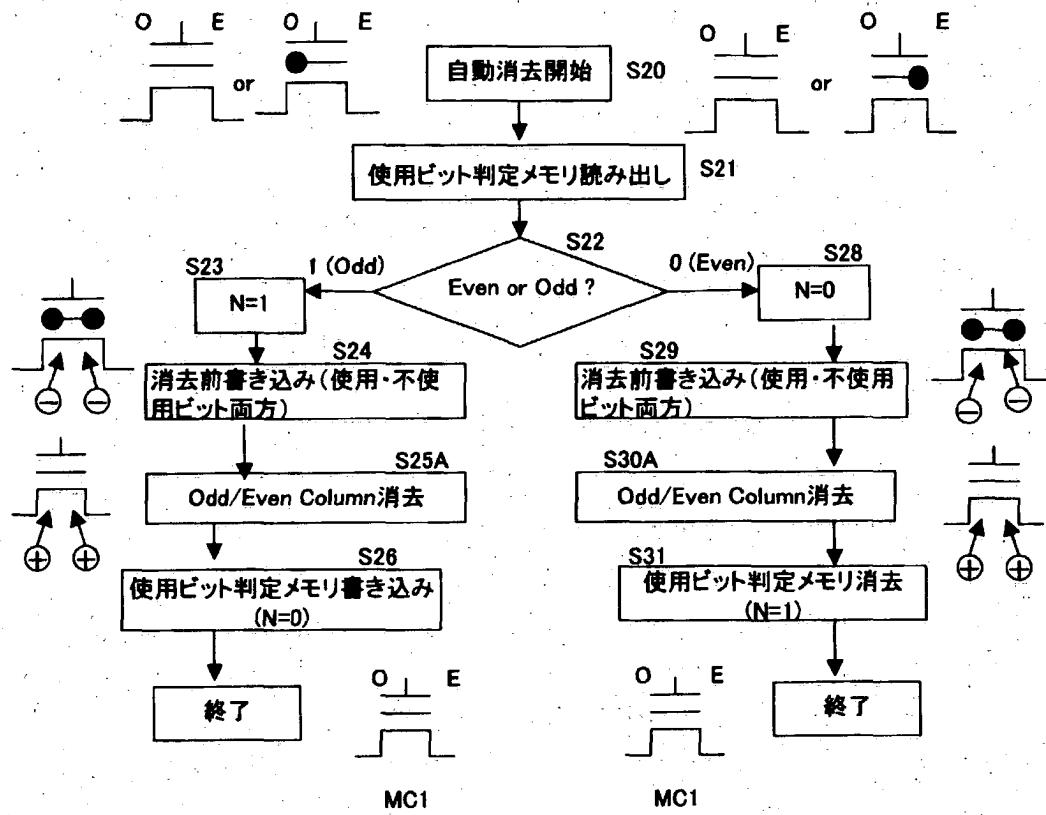
【図21】

不使用ビットを消去状態にして使用ビット
を切り換える場合の自動消去動作(1)



【図22】

不使用ビットを消去状態にして使用ビット
を切り換える場合の自動消去動作(2)



【書類名】

要約書

【要約】

【課題】 トランプ層を有するフラッシュメモリにおいて、データ保持特性や、書き込み特性などを改善する。

【解決手段】 第1及び第2のソース・ドレイン領域と、コントロールゲートと、第1及び第2のソース・ドレイン領域間のチャネル領域とコントロールゲートとの間に設けられた絶縁性のトランプ層とを有するメモリセルを複数有する不揮発性メモリにおいて、トランプ層が、第1のソース・ドレイン領域に近接する領域であって、トランプされる電荷の有無によりデータを記憶する使用ビット領域と、第2のソース・ドレイン領域に近接する領域であって、データ保持状態において電荷がトランプされる不使用ビット領域とを有することを特徴とする。

【選択図】 図8

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社